

PAT-NO: JP410239394A
DOCUMENT-IDENTIFIER: JP 10239394 A
TITLE: METHOD FOR DETERMINING DEFECTIVE PORTION OF LSI
PUBN-DATE: September 11, 1998

INVENTOR-INFORMATION:
NAME
SANADA, KATSU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP09039122
APPL-DATE: February 24, 1997

INT-CL (IPC): G01R031/28, G06F017/50

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for determining a defective portion of an LSI capable of readily and quickly narrowing the multiple defective portions in the LSI and determining the number of defectives and the defective portions by small data amount irrespective of malfunction of an output terminal.

SOLUTION: Logical information 48 of each block that changes by each test vector 41 is outputted by a dump operation 47 from circuit connection information 45 by using logical simulation 46 for inspection of an LSI circuit. The logical information 48 of each block by each test vector 41 is combined with information 44 of presence or absence of Iddq malfunction (leakage current in a static condition) so that an arithmetic operation 49 of each block by each test vector is executed and extraction 50 of a block including a defective portion is executed. The defective portion at a transistor level is extracted from the logical information in terms of the presence or absence of Iddq

malfunction at the block.

COPYRIGHT: (C) 1998, JPO

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the locating fault narrowing-down approach of a CMOS logical circuit of pinpointing a multiplex locating fault, about locating fault narrowing down of CMOSLSI by comparing the generating existence of a quiescent-state power-source current with the logic state of the internal circuitry in a test vector.

[0002]

[Description of the Prior Art] The approach of narrowing down the locating fault of LSI by the simulation using the conventional CAD was an approach of presuming as a basis the information which abnormalities generated in the output terminal.

[0003] That primary method was the failure simulation approach by creation of a fault dictionary, and this approach was an approach of presuming a locating fault by comparing with the data of an actual failure article the output terminal in which abnormalities are revealed, an output value, and a test pattern number, defining failure as each block of an internal circuitry.

[0004] Drawing 12 is the flow block diagram of the failure simulation approach by fault dictionary creation of the conventional example, and, as for the logical connection of LSI, and 125 and 126, for a test vector and 122, a failure definition, and 123 and 124 are [the sign 121 in drawing / a logic simulation and 127] comparisons. As specifically shown in drawing 12 in assignment of a failure part, it is the approach of extracting the failure defining point which is in agreement with an actual failure article with the comparison 127 of the logic outputted from an output terminal when the test vector 121 is inputted into the input terminal of LSI using the normal logical value by the logic simulation 126 in the output terminal of LSI, and the failure logical value according the failure definition 122 to the ***** logic simulation 125 to each node of an internal circuitry.

[0005] The second approach is the approach of tracing logic conversely in the direction of an input terminal from an output terminal based on the output terminal in which the back trace approach was called and abnormalities were revealed, an output value, and a circuit tester pattern number. Namely, when a predetermined signal is inputted into the input terminal of LSI and the signal outputted to an output terminal differs from expected value, The signal which has spread failure is extracted using the difference with the output value and expected value out of the signal diffused inside toward the input terminal from the output terminal. It is the approach of verifying coincidence with actual failure, by presuming a locating fault, defining failure as the part, and performing a logic simulation again. Usually, it was common to have narrowed down a locating fault, having investigated two or more abnormality parts in an output, and limiting a false failure signal with those combination.

[0006]

[Problem(s) to be Solved by the Invention] No conventional approaches mentioned above were practical from the point that the analysis of a multiplex failure article is impossible, and simulation data becoming huge.

[0007] First, there was a big trouble that it was unanalyzable about the analysis of a multiplex failure

article if the number of multiplex failures is not known. namely, as for the method, how many failures had existed only by the abnormality data of an output terminal since [which was mentioned above] each **, or since it was unknown, the analyst was analyzing by presuming the number of failures from the abnormality data of an output terminal. However, the result detected was finished with the result in which it made a mistake completely in order to perform simulation to the wrong number, when presumption of the number of failures is wrong.

[0008] Next, a technical problem is explained about each of the conventional approach. First, the fault model which can treat the failure simulation approach by the fault dictionary creation which is a primary method was only a single stuck at fault (Stuck-at -0, Stuck-at -1), and since opening failure was not able to carry out simulation, it was not common from the point of specification of failure mode. The failure treated in failure simulation is for the modeled logic failure, and opening failure is because logic does not become settled. The number of failures furthermore defined becomes the huge amount of data and was not practical in order to have to carry out a sequential definition to all the signal lines that constitute a circuit. That is, it is said that the number of failures (V0) to define is proportional to the 4th power from the cube of the number of circuit elements (L) which constitutes LSI.

[0009] $\ln(V0) \sim (3-4) \ln(L)$

It was not able to judge how many failures have generated inside a circuit the back trace approach which is the second approach in order to use only the information on the abnormalities in an output terminal as data. Furthermore, the failure generating part was limited only after the abnormality terminal in an output of plurality [description / of back trace] existed, but the premise was only the case of single failure to the last, and since the direction of [from an output terminal] an internal circuitry was a direction which the signal expands, huge false failure will be detected and narrowing down had the fault which becomes impossible. therefore , recently , it be change to an inclination with which the physical analysis approach like EBT (Electron Beam Tester) and the method of erase the false locating fault from the failure candidate by the potential contrast image by non-contact made to link or acquisition of a logic actuation wave be take as it have become difficult to narrow down a failure part only by the back trace method purely , for example , it be report by LSI testing symposium .

[0010] the purpose of this invention is the small amount of data, and narrow down the multiplex failure inside LSI easily regardless of the abnormalities in an output terminal at high speed -- it is in offering the specification approach of the failure part of LSI which can specify the number of failures, and a failure part.

[0011]

[Means for Solving the Problem] The logic performance information for every block it is [every] an elementary logic circuit unit from which the specification approach of the failure part of LSI of this invention changes according to the test vector by which a sequential input is carried out from the input terminal of LSI and from which LSI is constituted, The test vector number for which the value of Iddq which is leakage current in the quiescent state of logic actuation of LSI generated by this test vector exceeds a predetermined value is used. By performing logical operation for this every block, a failure block is extracted and a multiplex locating fault is narrowed down using the logic information on the test vector number which has the abnormalities in Iddq in this failure block next.

[0012] As for the logic performance information for every block, it is desirable that it is the combination of the input logic for every test vector number for every block which changes synchronizing with the test vector inputted from the input terminal of LSI.

[0013] The failure block extract by performing logical operation for every block Only when all the combination of two or more kinds of input logic which the abnormalities in Iddq generate exists in the combination of the input logic in a test vector number with a normal Iddq value This block may be extracted as a normal block and this block may be extracted as a failure block except it. All the combination groups of two or more kinds detected by the test vector number which the abnormalities in Iddq followed of continuous input logic Only when it exists in the combination group of the input logic in the continuous test vector number with a normal Iddq value This block may be extracted as a normal block and this block may be extracted as a failure block except it. The combination group of two or

more kinds of input logic detected by the test vector number which the abnormalities in Iddq followed, And all the combination of two or more kinds of input logic detected by the test vector number which the abnormalities in Iddq do not follow The combination group of the input logic in the continuous test vector number with a normal Iddq value, And only when it exists in the combination of the input logic in a test vector number with a normal Iddq value, this block may be extracted as a normal block and this block may be extracted as a failure block except it.

[0014] In the combination of the input logic in the test vector number which the abnormalities in Iddq in this failure block have generated, narrowing down of the locating fault in a failure block may also narrow down a failure part, and may also narrow down a locating fault using the combination of the input logic in the test vector number which the abnormalities in Iddq in this failure block have generated, and the combination of the input logic in the test vector number which the abnormalities in Iddq have not generated.

[0015] The failure block extract by performing logical operation for every block may separate a combination circuit and a sequential circuit, may also narrow down a failure part, and may also narrow down a locating fault by reducing the circuit scale for circuitry sequentially from two or more elementary logic circuits.

[0016] If a CMOS logical circuit has a physical defect inside a circuit, outlying observation will appear in the quiescent-state power-source current called "Iddq (Quiescent Vdd Supply Current)" as a general tendency. Therefore, it can be considered that this abnormality in Iddq is the signal which actualizes the physical failure inside an LSI circuit. About this detail, it is M.Sanada "Evaluation. and Detection of CMOS-LSI with Abnormal Iddq" Microelectronics and It is clear at Reliability, Vol.35, NO.3, pp.619-629, and 1995, and this invention uses the property mentioned above.

[0017] Usually, ASIC (Application Specific Integrated Circuits) represented by the gate array article is realized by constituting a desired electrical circuit by combining the circuit which constitutes fundamental **** called "a block" prepared beforehand.

[0018] An approach to narrow down the multiplex locating fault by this invention The logic performance information in the elementary logic circuit unit which uses the design method mentioned above and changes according to the test vector inputted from the input terminal of LSI and which constitutes LSI called "a block", The test vector number for which the value of the leakage current in the quiescent state of logic actuation of LSI called "Iddq" for every test vector of the exceeds a predetermined value is used. It is the specification approach of the multiplex failure part which narrows down a locating fault using the logic information on the test vector number which carries out a failure block extract by performing logical operation for every block, and then has the abnormalities in Iddq in this failure block. The logic performance information for every block mentioned above is the combination of the input logic for every test vector number for every block which changes synchronizing with the test vector inputted from the input terminal of LSI.

[0019] The failure block extract approach by performing logical operation for every block using above-mentioned data those with two kind and one The combination of the same input logic as at least one or more kinds in the combination of two or more kinds of input logic which the abnormalities in Iddq generate An Iddq value is the approach of extracting the block which does not exist in the combination of input **** in a normal test vector number as a failure block. Another The same combination group of input logic as one or more kinds in the combination group of two or more kinds detected by the test vector number which the abnormalities in Iddq followed of continuous input logic It is the specification approach of a multiplex failure part of extracting the block which does not exist in the combination group of the input logic in the test vector number with a normal Iddq value which ****(ed) as a failure block.

[0020] furthermore, two kinds of modes "the combination group of two or more kinds detected by the test vector number which the abnormalities in Iddq followed of continuous input *****" mentioned above -- and "The same combination group of input logic" and same "combination of input logic" as one or more kinds in the combination of the logic in which "the combination of two or more kinds of input logic detected by the not continuous test vector number" was intermingled It is the specification

approach of the multiplex failure part characterized by extracting the block which does not exist in "the combination group of input logic" and "the combination of input logic" in a test vector number with a normal Iddq value as a failure block.

[0021] Narrowing down of the locating fault inside the specified failure block next, those with two kind and one It is characterized by narrowing down a locating fault using the combination of the input logic in the test vector number which the abnormalities in Iddq in the failure block have generated. Another It is characterized by narrowing down a locating fault using the combination of the input logic in the test vector number which the abnormalities in Iddq in the failure block have generated, and the combination of the input logic in the test vector number which the abnormalities in Iddq have not generated.

[0022] The failure block extract by performing logical operation for every block using above-mentioned data is the specification approach of the failure part characterized by narrowing down a locating fault by being characterized by separating a combination circuit and a sequential circuit, and reducing the circuit scale for circuitry sequentially from two or more elementary logic circuits further.

[0023]

[Embodiment of the Invention] As mentioned above, if a CMOS logical circuit has a physical defect inside a circuit, outlying observation will appear in the power-source current in the quiescent state of the logic called "Iddq (Quiescent Vdd Supply Current)" as a general tendency. Drawing 1 is the mimetic diagram showing the situation of penetration current generating by existence of physical failure, and, for Vdd and 13, as for a physical failure part and 15, GND and 14 are [the sign 11 in drawing / LSI and 12 / a test vector and 16] Iddq(s) (abnormalities). That is, if the physical failure part 14 exists in the interior of LSI11, in response to the effect of the physical failure part 14, it will occur through the physical failure part 14 by the logic set up by the test vector 15 of arbitration, the penetration currents Iddq16, i.e., the abnormalities, from Vdd12 to GND13.

[0024] Usually, the design of ASIC (Application Specific Integrated Circuits) represented by the gate array article is the design approach of realizing a desired electrical circuit, by combining the circuit which constitutes the fundamental logic called "a block" prepared beforehand. Narrowing down of the locating fault which exists in the interior of the CMOS circuit of such ASIC becomes possible by using the logic simulation information on each block which changes for every test vector, and the test vector number which generates the abnormalities in Iddq.

[0025] Explanation explains the test vector number extract approach of explaining the logic simulation information on each block, next generating the abnormalities in Iddq first. Then, the procedure of this invention is explained and the method for failure block narrowing down is explained below.

[0026] 1) Logic simulation information on each block of LSI (drawing 2)

Drawing 2 is the explanatory view of the process in which the logic simulation result of each block of LSI is rearranged. The mimetic diagram in which (a) shows the I/O condition of LSI, the test vector table in which (b) shows the I/O logical relation of LSI, The mimetic diagram showing each block of LSI and (d) (c) The output logic change table of the block for every time-of-day change on SIM (Sistems Integration Model), The mimetic diagram in which (e) shows the output from each block of LSI, and (f) are the dump lists showing the input logic over the test vector for every block. the sign 21 in drawing -- LSI and 22 -- an input terminal and 23 -- an output terminal and 25 -- a test vector and 26 -- an output and 27 -- Block B -- as for 1 and 28, block B-2 and 29 are Blocks Bn.

[0027] A logic simulation is a tool for the logic verification which verifies the expected value outputted to an output terminal 23 corresponding to the test vector 25 usually inputted from the input terminal 22 of LSI21, and it is usually used in order to verify timing and internal delay to a check of operation and coincidence of an electrical circuit. Therefore, just the time amount change information on logic and logic outputted to the output terminal for every block is enough as needed identity data. However, the simulation data which is needed for this technique is the input logic information for every block which changes for every test vector number, and must rearrange the usual logic simulation result.

[0028] Drawing 2 is the explanatory view which arranged the logic simulation result in the result which is needed by this technique, and explained repair *****. First, the time amount change information on logic and logic outputted to the output terminal for every block It changes to the change information for

every test vector number of logic and logic outputted to the output terminal for every block. Next, from the relation by which the output terminal for every block is connected to the input terminal of a block of the next step, the changes changed to the logic information and the change information for every test vector number of logic that it inputs into the input terminal for every block are shown.

[0029] 2) The test vector number which generates the abnormalities in Iddq (drawing 3)

What identified the leak current value which the existence information on the abnormalities in Iddq for every test vector inputted the test vector from the input terminal of the failure article LSI, measured the leak current value in the quiescent state of the logic in each test vector, and exceeded the value of standard as Iddq outlying observation is the test vector information extracted as those with the abnormalities in Iddq. Drawing 3 is a graph which shows the abnormality existence information in Iddq for every test vector, and the signs 31 in drawing of the threshold of Iddq and 32 are [Iddq (normal) and 33] Iddq(s) (abnormalities). A test vector number (it is henceforth described as TVno.) is shown in the X-axis, and an Iddq value is shown in a Y-axis. As for the abnormality article in Iddq, the thousands times [hundreds to] as many unusual penetration current of a value of standard as this flows to the Iddq value of a normal article being below a value of standard (below 1microA when [for example,] a penetration current does not occur in a circuit in an all seems well).

[0030] 3) The procedure of this invention (drawing 4)

Drawing 4 is a flow chart which shows the procedure of this invention. For the sign 41 in drawing, as for the impression to LSI, and 43, a test vector (TV) and 42 are [measurement of an Iddq value and 44] the extract of TV number of the abnormalities in an Iddq value, and an extract data processing and whose 50 discharge processing of an internal-circuitry node extract and 48 are [45 / a circuit initial entry and 46 / for a logic simulation and 47] failure blocks as for the extract of the input logic of each block for every TV, and 49.

[0031] In this invention, the test vector prepared in order to test logic actuation of LSI is used in order to detect the logic information for every block which constitutes LSI which changes for every test vector, and the existence information on the abnormalities in Iddq for every test vector.

[0032] First, the input logic information 48 on each block that it changes every test vector 41 specifies and outputs the text name of each block which constitutes LSI called "discharge processing" 47 using the logic simulation 46 for LSI circuit verification from a circuit initial entry 45 with the method mentioned above. The input logic information 48 on each block for every test vector of the is combining with the information 44 on the existence of the abnormalities in Iddq for every test vector mentioned above, data processing 49 for every test vector of each block is carried out, and the extract 50 of the block which built in the locating fault is performed.

[0033] And the abnormality part in transistor level is extracted from the logic information in the existence of the abnormalities in Iddq in the block based on the block 50 which built in the extracted locating fault, and it completes on it.

[0034] 4) The method for failure block narrowing down (drawing 5)

Drawing 5 is ** BE ***** about the fundamental view for narrowing down the failure block by this invention, and (a) is a graph which shows the abnormality existence information in Iddq corresponding to the dump list for every block in the mimetic diagram showing the block in LSI, and (b) that (c) was made corresponding to [dump list / of (b)]. the sign 51 in drawing -- LSI and 52 -- Block B -- 1 and 53 -- block B-2 and 54 -- Block B -- for Block Bn and 56, as for Iddq (abnormalities) and 58, a test vector and 57 are [3 and 55 / a dump list and 59] the abnormality parts in Iddq.

[0035] The test vector 56 is inputted from the input terminal of LSI51 which consists of two or more blocks (B1, B-2, B3, ..., Bn, ...). The input logic results in an output terminal, developing logic with those blocks.

[0036] The logic state for every test vector of each block is extracted by the discharge processing mentioned above. This situation is shown in the dump list 58 for every block shown in drawing 5 (b). By the way, the Iddq value detected for every test vector by LSI is the sum total of an Iddq value generated in each block (B1, B-2, B3, ..., Bn, ...) for every test vector, and is usually settled within the value of standard. However, if the block which builds in physical failure exists in the block group, the abnormal

current value generated in the block will be detected as abnormalities in an Iddq value in LSI.

[0037] Test vector number TVno.a which the above-mentioned abnormalities 57 in an Iddq value shown in drawing 5 (c) have generated, and b and c TVno.a in the dump list for every block, and b and c are also supported. Therefore, the block which builds in the abnormalities in Iddq by what (it mentions later) each block compares for the input logic of the test vector by which it was indicated by the abnormalities in Iddq, and the test vector in a normal state can be extracted.

[0038] 5) Explain how to extract the block which builds in the sampling procedure, next the abnormalities in Iddq of a failure block. The block which constitutes ASIC is roughly classified into two kinds of circuits. That is, they are a combination circuit and a sequential circuit. The logic is the type of circuit which carries out a direct output through an internal circuit, and a combination circuit has it from the basic gates (AND, OR, NAND, inverter circuit, etc.) to the circuit of big scales, such as ALU and an ADDER circuit, when a signal is impressed to the input terminal of the block. Moreover, synchronizing with a clock signal, data are once stored in the interior of a circuit, and a sequential circuit is a type of circuit which performs the output of outputting with the following clock signal, and has a flip-flop, a register circuit, a latch circuit, etc. Troubleshooting of these two kinds of circuits is carried out by different method.

[0039] 5-1) The sampling procedure of the failure block over a combination circuit (drawing 6) First, drawing 6 explains the sampling procedure of the failure block over a combination circuit. The dump list of the combination circuit which has five input terminals with which drawing 6 is the explanatory view of the extract approach of a failure block of a combination circuit, and (a) was extracted as a dump list, The dump list of the combination circuit where (b) has the flow chart of an Iddq abnormal occurrence, and five input terminals with which (c) was extracted as a dump list, A flow chart for (d) to judge that a block is normal and (e) are the dump list of the combination circuit which has five input terminals extracted as a dump list, and a flow chart judged that (f) has misgiving with built-in failure in a block.

[0040] As shown in drawing, three-kind (A, B, C) existence of the combination of the input logic which the abnormalities in Iddq generate is recognized. TV number to those classes is combination A of input logic. TV (a1), TV (a2), TV (a3)

Combination B of input logic TV (b1), TV (b2)

Combination C of input logic TV (c1), TV (c2), TV (c3)

It comes out.

[0041] The combination of three kinds of such input logic and the combination of the same input logic investigate [whether it exists in TV with a normal Iddq value, and] using a computer (PC or EWS).

[0042] Drawing 6 (c) and (d) are one example of a case which judges a block to be normal. This block is judged to be normal when all the combination A, B, and C of input logic exists in normal TV. That is, when the combination of the same input logic as "combination [of input logic] A" in this block exists in TV with a normal Iddq value, it is judged that "combination [of input logic] A" in this block is not the input logic which has suggested failure. Next, when the combination of the same input logic as "combination [of input logic] B" exists in TV with a normal Iddq value, it is judged like the above that "combination [of input logic] B" is not the input logic which has suggested failure. Since it judges that "combination C of input logic" is not the input logic which has suggested failure and the combination of the input logic of all the abnormalities in an Iddq value has not suggested failure like the above hereafter when the combination of the same input logic as "combination C of input logic" exists in TV with a normal Iddq value similarly, it judges that this block is normal and investigation of a block is ended.

[0043] It is one example of the case judged that drawing 6 (e) and (f) have misgiving with built-in failure in a block. When the same investigation as **** is conducted and at least one or more combination in the combination A, B, and C of input logic does not exist in the combination of the input logic in TV with a normal Iddq value, it is judged that misgiving with built-in failure is in this block.

[0044] The reason is explained. It is one of whether all failures build multiplex failure in one block, or failure builds in two or more blocks.

[0045] Since all failures build the former in one block, drawing 6 (e), When "the case judged that

misgiving with built-in failure is in a block" in (f) is considered, the combination of the input logic which these three kinds of abnormalities in Iddq generate. It is because the abnormalities in Iddq should surely be caused, therefore it should not exist in the combination of the input logic in TV with a normal Iddq value, if there is those combination.

[0046] The latter is a case which failure builds in two or more blocks, and when one kind (A) of three kinds of combination of input logic exists in the combination of the input logic in TV with a normal Iddq value, the combination (A) of the input logic can be judged that the information on the abnormalities in Iddq built in another block laps. And other two kinds are TV which causes the abnormalities in Iddq, and it is because it is judged as those with possibility of building in failure.

[0047] Similarly, when two kinds (A, B) of three kinds of combination of input logic exist in the combination of the input logic in TV with a normal Iddq value, it can be judged that the information on the abnormalities in Iddq built in another block laps. And other one kind which remained is TV which causes the abnormalities in Iddq, and it is because it is judged as those with possibility of building in failure.

[0048] Furthermore, when all in three kinds of combination of input logic (A, B, C) exist in the combination of the input logic in TV with a normal Iddq value, it can be judged that the information on the abnormalities in Iddq built in another block laps. Therefore, it is because there is no TV which causes the abnormalities in Iddq in this block and it is judged that it is normal.

[0049] 5-2) The sampling procedure of the failure block over a sequential circuit (drawing 7)

Next, drawing 7 explains the sampling procedure of the failure block over a sequential circuit. The dump list of the sequential circuit which has five input terminals with which drawing 7 is the explanatory view of the extract approach of a failure block of a sequential circuit, and (a) was extracted as a dump list, The dump list of the sequential circuit where (b) has the flow chart of an Iddq abnormal occurrence, and five input terminals with which (c) was extracted as a dump list, A flow chart for (d) to judge that a block is normal and (e) are the dump list of the sequential circuit which has five input terminals extracted as a dump list, and a flow chart judged that (f) has misgiving with built-in failure in a block.

[0050] As shown in drawing 7 (a) and (b), seven-kind (A, B, C, D, E, F, G) existence of the combination of the input logic which the abnormalities in Iddq generate is recognized. There is the description in the situation of generating on those TV, and the combination of the input logic which the abnormalities in Iddq generate is carrying out continuation generating by the group of A, B, C, and D, and the group of E, F, and G with continuous TV.

[0051] At this time, the lump of these groups (A, B, C, D) and groups (E, F, G) and the lump of the combination of the same input logic investigate whether it exists in TV with a normal Iddq value.

[0052] Drawing 7 (c) and (d) are one example of a case which judges a block to be normal. the combination group (A, B, C, D) of input logic -- with and (E, F, G), when the combination group of the same input logic exists in TV with a normal Iddq value, this block is judged to be normal. That is, when the combination group of the same input logic as the combination group (A, B, C, D) of input logic exists in TV with a normal Iddq value, it is judged that "the combination group (A, B, C, D) of input logic" in this block is not the input logic which has suggested failure. Next, when the combination group of the same input logic as the combination group (E, F, G) of input logic exists in TV with a normal Iddq value, Like the above, since it judges that "the combination group (E, F, G) of input logic" is not the input logic which has suggested failure and the combination group of the input logic of all the abnormalities in an Iddq value has not suggested failure, it judges that this block is normal and investigation of a block is ended.

[0053] It is one example of the case judged that drawing 7 (e) and (f) have misgiving with built-in failure in a block. The same investigation as **** is conducted, and at least, more than 1 combination group judges that misgiving with built-in failure is in this block, when the Iddq value does not exist in the combination group of the input logic in normal TV of the combination group (A, B, C, D) of input logic, and the groups (E, F, G).

[0054] About the reason, it is the same as that of explanation in a combination circuit. It is one of whether all failures build multiplex failure in one block, or failure builds in two or more blocks.

[0055] Since all failures build the former in one block, drawing 7 (e), When "the case judged that misgiving with built-in failure is in a block" in (f) is considered, the combination group of the input logic which these two kinds of abnormalities in Iddq generate It is because the abnormalities in Iddq should surely be caused, therefore it should not exist in the combination group of the input logic in TV with a normal Iddq value, if there are those combination groups.

[0056] The latter is a case which failure builds in two or more blocks, and when the one-kind group in two kinds of combination of input logic (A, B, C, D) exists in the combination group of the input logic in TV with a normal Iddq value, the combination group (A, B, C, D) of the input logic can be judged that the information on the abnormalities in Iddq built in another block laps. And other groups (E, F, G) are combination groups of the input logic which causes the abnormalities in Iddq, and it is because it is judged as those with possibility of building in failure.

[0057] As mentioned above, although the diagnostic method in a sequential circuit was described, seven-kind (A, B, C, D, E, F, G) existence of the combination of the input logic which a sequential circuit has the case which the abnormalities in Iddq have generated by single TV besides continuous TV, for example, the abnormalities in Iddq generate is recognized. The combination of the input logic which the abnormalities in Iddq generate is a case of the group of (A, B, C, D) in continuous TV, and the combination E, F, and G of single input logic. The investigation in this case considers four kinds of the group of (A, B, C, D) in continuous TV, and the combination E, F, and G of input logic. Furthermore, even if the combination of the input logic of single TV and the combination of the same input logic exist in the group of (A, B, C, D) in continuous TV (for example, B=F), these are considered separately. Investigation is performed by the group of (A, B, C, D) in continuous TV, and investigation with still more nearly single TV (F) is performed.

[0058] In order to explain this reason for decision, it explains using the d-type flip-flop (it is henceforth described as DF/F) which is a fundamental sequential circuit.

[0059] Drawing 8 is the explanatory view of the diagnostic method of a sequential circuit, (a) is the circuit diagram of a d-type flip-flop, and (b) is the logical table of a d-type flip-flop.

[0060] Drawing 8 (a) is circuitry of DF/F which has the terminal block of two inputs (a D:Data terminal, CLK:Clock terminal) which consist of one inverter circuit, two 2 input AND circuits, and two 2 input NOR circuits, and two outputs (Q and Q*) (the reversal logic of $Q^* = \bar{Q}$ is meant). Drawing 8 (b) shows the logical table (table of truth value). In DF/F, when a Q output side 2 input NOR circuit becomes "H" output, supposing the abnormalities in Iddq occur, in test vector TVno.6 of the logical table table shown in drawing 8 (b), and 7, 10, 11, 12 and 13, the abnormalities in Iddq will cause this abnormality.

[0061] Also in TVno.3, and 5 and 9, when this was seen as combination of single input logic and TVno.7, and 11 and 13 are observed among TV which the abnormalities in Iddq generated, the same input logic (D= 0, CLK=0) is set up. However, the abnormalities in Iddq are not caused in the input logic of these TVno.3, and 5 and 9. The reason is for the flume bypass format that data are once stored in the interior of a circuit, and output a sequential circuit with the following clock signal synchronizing with a clock signal.

[0062] namely, the logic currently held in test vector TVno.7, and 11 and 13 so that clearly from the logical table table shown in drawing 8 (b) -- a Q output side 2 input NOR circuit -- "H" -- and Q* For the logic currently held in test vector TVno.3, and 5 and 9, a Q output side 2 input NOR circuit is ["L" and] Q* to being the logic from which the output side 2 input NOR circuit became the "L" output. It is because it is the logic from which the output side 2 input NOR circuit became "H" output. Therefore, when a Q output side 2 input NOR circuit becomes "H" output, the condition that the abnormalities in Iddq occur is detected as abnormalities in the state of maintenance by test vector TVno.7, and 11 and 13. Therefore, the method of the failure part detection in a sequential circuit must investigate a setup of the logic to DF/F, and the input logic of a maintenance condition as Tvno.10, and {11, 12, 13}. [one combination group {test vector Tvno.6, 7}, and] That is, if it does not investigate whether the method of failure part detection of a sequential circuit exists in the combination group of the input logic in a test vector with the normal combination group of the input logic of the abnormalities in Iddq, the judgment of whether failure exists in the block is not made.

[0063] 6) It is the failure block narrowing-down method (drawing 9) depended comparatively by the hierarchy exception.

the explanatory view showing the method which drawing 9 divides LSI according to a hierarchy, and narrows down a failure block -- it is -- 91 in drawing -- for a combination circuit and 96, as for a block (b2) and 98, a block (b1) and 97 are [a sequential circuit, and 93, 94 and 95 / LSI and 92 / a block (b3) and 99] basic blocks.

[0064] In the case of the block configuration according to hierarchy, the method which analyzes in the unit of the block carried out in the fundamental circuitry currently prepared beforehand called the library used at the time of a design is common, but becoming the huge block count in large-scale-sized LSI is predicted. Since it corresponds to it, the whole is re-divided into the magnitude of arbitration and there is a method which changes the block configuration inside LSI. What it should be careful of by the reconstruction is having to distinguish a combination circuit and a sequential circuit and having to carry out hierarchy division per one hierarchy. A reason is because the methods of data processing in the combination circuit and sequential circuit which were mentioned above differ.

[0065] Among drawing, in hierarchy division, since the combination circuit and the sequential circuit are intermingled, the locating fault is narrowed down as hierarchy organization (a1, a2, a3) which is easy to divide a combination circuit bordering on a sequential circuit. Next, in the hierarchy block (a1) 93 extracted noting that failure had occurred, a locating fault is narrowed down by the hierarchy organization b1, b2, and b3 which constitutes a hierarchy block group. And the block (b2) 97 with an "elementary logic circuit configuration" of that it is finally a smallest unit is extracted.

[0066] 7) An approach to narrow down the failure part of transistor level (drawing 10)

Next, the locating fault of the transistor level which constitutes the circuit is narrowed down from the basic block 99 in elementary logic circuit configuration." An elementary logic circuit is a functional circuit which generally makes a unit fundamental logic actuation called OR, NOR, NAND, AND, inverter circuit, and flip-flop circuit which consist of dozens transistors from a number transistor. The approach to narrow down a locating fault is the same also as a combination circuit and a sequential circuit. Which transistor is carrying out ON/OFF of these elementary logic circuits synchronizing with input logic, and since it can judge clearly, a logic simulation can extract a failure transistor easily. It explains using the example of 2 input NAND circuit which is one of the elementary logic circuits below.

[0067] Drawing 10 is the explanatory view of an extract of the failure transistor by the logic simulation, (a) is the circuit diagram of the 2 input NAND, and (b) is the correlation table of the table of truth value and the Iddq value which observed the total combination of the input logic of 2 input NAND circuit. The abnormalities in Iddq occur by TV3 (Low level inputs into an input terminal IN1, and High level inputs into an input terminal IN2) among the combination (TV1, TV2, TV3, TV4) of four input logic constituted from two inputs, and the combination (TV1, TV2, TV4) of other input logic presupposes that it was normal. The technique of extracting a failure transistor based on this information is explained.

Usually, it carries out by verifying which transistor is carrying out ON/OFF of the approach of extracting this failure transistor, by each test vector using the logic simulation.

[0068] In 2 input NAND-circuit Fig. of drawing 10 , receive a test vector (TV1, TV2, TV3, TV4). The P channel transistor 1, 2 (it is henceforth described as PTr-1 and PTr-2) N-channel transistors 1 and 2 (henceforth) NTr-1 and ON/OFF situation described as NTr-2 TVno. PTr-1, PTr-2 NTr-1, NTr-2 Iddq value TV1, OFF OFF ON ON Normal TV2, OFF ON ON OFF Normal TV3 ON OFF OFF ON Abnormalities TV4 ON ON OFF OFF It can be described that it is normal.

[0069] Furthermore, the path which the abnormalities in Iddq generate can consider two kinds in 2 input NAND circuit.

[0070]

1 Vdd-> PTr1-> NTr1-> NTr2-> GND 2 Vdd-> PTr2-> NTr1-> NTr2-> GND -- from verification with the path of these, and the ON/OFF situation of an above-mentioned transistor Path 1 which the abnormalities in Iddq will generate if the path which the abnormalities in Iddq generate is expressed in writing in the ON/OFF situation of a transistor 1 Vdd-> PTr1-> NTr1-> NTr2-> GND TV1, OFF ON

ON Normal TV2, OFF ON OFF Normal TV3, ON OFF ON Abnormalities TV4, ON OFF OFF It becomes normal, NTr1 serves as abnormalities, and a penetration current always occurs in ON condition.

[0071] Moreover, path 2 which the abnormalities in Iddq generate 2 Vdd-> PTr2-> NTr1-> NTr2-> GND TV1, OFF ON ON Normal TV2, ON ON OFF Normal TV3, OFF OFF ON Abnormalities TV4 ON OFF OFF When it became normal, and PTr2 and NTr1 become abnormalities and always change into ON condition, a penetration current occurs. However, since the Iddq value of TV1 is normal, it is contradictory to physical failure building in PTr2, and it is judged that PTr2 is normal.

[0072] As mentioned above, it becomes clear that NTr1 becomes unusual by verification of paths 1 and 2, and a penetration current always occurs in ON condition.

[0073] Although the above is an example about 2 input NAND circuit which is 4 transistor configurations, the basic logical circuit which consisted of dozens transistors can extract an abnormality transistor in a short time by carrying out the same actuation as the verification mentioned above by the logic simulation using a computer.

[0074] 8) The failure part narrowing-down approach of a combination circuit (drawing 11) Drawing 11 is the explanatory view showing how to narrow down the locating fault in a combination circuit, the correlation table of table of truth value and an Iddq value and (b) are the mimetic diagrams of failure component narrowing down, and the expansion table of the abnormality part in Iddq of (a) and (c) of (a) are the failure components to which change of a test vector and 113 narrowed down the signs 111 and 112 in drawing.

[0075] It is the method which extracts change of the logic in the test vector which the abnormalities in Iddq generated, and the test vector which the abnormalities in Iddq generated using the test vector in a normal state by well-known simulation. Especially the data that become important are the test vector which the abnormalities in Iddq generated, and when it is a combination circuit, they can extract a component with built-in failure easily by the well-known logic simulation using change of internal logic before and after the test vector which the abnormality in Iddq generates. Drawing 11 is an explanatory view for extracting simply the component with built-in failure mentioned above, and when it changes from test vector TVno. (a-1) to TVno. (a) {F (a-1, a)}, the abnormalities in Iddq generate it. In change of the vector at this time, only the input pin NO5 changes to "1" from "0", and others are not changing. Change of this logic can extract a change component by the logic simulation. When it furthermore changes to TVno. (a+1) from test vector TVno. (a) {F (a, a+1)}, it returns to an all seems well. It states at this time, and in change of KUTA, only the input pin NO8 changes to "0" from "1", and others are not changing. When two or more false failure components are extracted with pretreatment, those false failure components can be narrowed down further. A component with built-in failure can be extracted by performing the processing about all the test vectors that the abnormalities in Iddq generated.

[0076]

[Effect of the Invention] As explained above, this invention is the approach of narrowing down a multiplex failure part using the phenomenon in which the abnormalities in Iddq occurred, and, as for the approach, it has six big effectiveness.

[0077] The 1st is the point of extracting and putting a locating fault regardless of the existence of the abnormalities in an output terminal. This is the biggest description of this invention.

[0078] The 2nd is the point that a locating fault can be narrowed down easily. That is, since the dump list for every block based on the logic simulation used as a verification tool in an LSI design stage and the data of only the test vector number which the abnormalities in Iddq generated are sufficient as activation of this approach, even if a circuit is not known, it has the effectiveness which can narrow down a locating fault easily.

[0079] Only by the test vector number which the abnormalities in Iddq of a failure article generated, since the data which mentioned the 3rd above further are good, even if there is no failure article, they have the effectiveness it is analyzable ineffective.

[0080] Even if the number of multiplex failures does not understand the 4th beforehand, the number of failures and the failure part corresponding to the number of failures are the points that it can specify in

data processing.

[0081] The 5th is the point which can be processed at a high speed. Only by data processing made for a computer to be its favorite, since this approach is good, it can be processed at a high speed. Moreover, since the operation in the block unit divided even if LSI became large-scale is possible, there is a merit which is not influenced of computer capacity. Furthermore, since the operation is performed uniquely the whole block, the short-time processing by parallel processing is possible for it.

[0082] I hear that the 6th is not related to the magnitude of Iddq outlying observation, and application of this invention has it. Data required for analysis are the test vector number which the abnormalities in Iddq generated, and since it is not related to the magnitude of Iddq outlying observation, it becomes possible to narrow down the generating part also in the sample in which a normal article and few differences appear.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the mimetic diagram showing the situation of penetration current generating by existence of physical failure.

[Drawing 2] It is the explanatory view of the process in which the logic simulation result of each block of LSI is rearranged. (a) is the mimetic diagram showing the I/O condition of LSI. (b) is the test vector table showing the I/O logical relation of LSI. (c) is the mimetic diagram showing each block of LSI. (d) is the output logic change table of the block for every time-of-day change on SIM (Systems Integration Model). (e) is the mimetic diagram showing the output from each block of LSI. (f) is a dump list showing the input logic over the test vector for every block.

[Drawing 3] It is the graph which shows the abnormality existence information in Iddq for every test vector.

[Drawing 4] It is the flow chart which shows the procedure of this invention.

[Drawing 5] It is ** BE ***** about the fundamental view for narrowing down the failure block by this invention. (a) is the mimetic diagram showing the block in LSI. (b) is a test vector table for every block. (c) is a graph which shows the abnormality existence information in Iddq that it was made to correspond to the test vector table of (b).

[Drawing 6] It is the explanatory view of the extract approach of a failure block of a combination circuit. (a) is the dump list of the combination circuit which has five input terminals extracted as a dump list. (b) is the flow chart of an Iddq abnormal occurrence. (c) is the dump list of the combination circuit which has five input terminals extracted as a dump list. (d) is a flow chart for judging that a block is normal. (e) is the dump list of the combination circuit which has five input terminals extracted as a dump list. It is the flow chart judged that (f) has misgiving with built-in failure in a block.

[Drawing 7] It is the explanatory view of the extract approach of a failure block of a sequential circuit. (a) is the dump list of the sequential circuit which has five input terminals extracted as a dump list. (b) is the flow chart of an Iddq abnormal occurrence. (c) is the dump list of the sequential circuit which has five input terminals extracted as a dump list. (d) is a flow chart for judging that a block is normal. (e) is the dump list of the sequential circuit which has five input terminals extracted as a dump list. It is the flow chart judged that (f) has misgiving with built-in failure in a block.

[Drawing 8] It is the explanatory view of the diagnostic method of a sequential circuit. (a) is the circuit diagram of a d-type flip-flop. (b) is the logical table of a d-type flip-flop.

[Drawing 9] It is the explanatory view showing the method which divides LSI according to a hierarchy and narrows down a failure block.

[Drawing 10] It is the explanatory view of an extract of the failure transistor by the logic simulation. (a) is the circuit diagram of the 2 input NAND. (b) is the correlation table of the table of truth value and the Iddq value which observed the total combination of the input logic of 2 input NAND circuit.

[Drawing 11] It is the explanatory view showing how to narrow down the locating fault in a combination circuit. (a) is the correlation table of table of truth value and an Iddq value. (b) is the expansion table of the abnormality part in Iddq of (a). (c) is the mimetic diagram of failure component

narrowing down.

[Drawing 12] It is the flow block diagram of the failure simulation approach by fault dictionary creation of the conventional example.

[Description of Notations]

11, 21, 51, 91 LSI

12 Vdd

13 GND

14 Physical Failure Part

15 25 Test vector

16 Iddq (Abnormalities)

22 Input Terminal

23 Output Terminal

26 Output

27 Block B1

28 Block B-2

29 Block Bn

31 Threshold of Iddq

32 Iddq (Normal)

33 Iddq (Abnormalities)

41 Test Vector (TV)

42 Impression to LSI

43 Measurement of Iddq Value

44 Extract of TV Number of Abnormalities in Iddq Value

45 Circuit Initial Entry

46 Logic Simulation

47 Discharge Processing of Internal-Circuitry Node Extract

48 Extract of Input Logic of Each Block for Every TV

49 Data Processing

50 Extract of Failure Block

52 Block B1

53 Block B-2

54 Block B3

55 Block Bn

56 Test Vector

57 Iddq (Abnormalities)

58 Dump List

59 Abnormality Part in Iddq

92 Sequential Circuit

93, 94, 95 Combination circuit

96 Block (B1)

97 Block (B2)

98 Block (B3)

99 Basic Block

111 112 Change of a test vector

113 Narrowed-Down Failure Component

121 Test Vector

122 Failure Definition

123 124 Logical connection of LSI

125 126 Logic simulation

127 Comparison

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The logic performance information for every block which is the elementary logic circuit unit which changes according to the test vector by which a sequential input is carried out from the input terminal of LSI, and which constitutes said LSI, The test vector number for which the value of Iddq which is leakage current in the quiescent state of logic actuation of said LSI generated by this test vector exceeds a predetermined value is used. The specification approach of the failure part of LSI characterized by what a failure block is extracted by performing logical operation for this every block, and a multiplex locating fault is narrowed down for using the logic information on said test vector number which has the abnormalities in Iddq in this failure block next.

[Claim 2] Said logic performance information for every block is the specification approach of the failure part of LSI according to claim 1 which is the combination of the input logic for said every test vector number for every block which changes synchronizing with said test vector inputted from the input terminal of LSI.

[Claim 3] Said failure block extract by performing logical operation for every block is the specification approach of the failure part of LSI according to claim 1 of extracting this block as a normal block and extracting this block as a failure block except it only when all the combination of two or more kinds of input logic which the abnormalities in Iddq generate exists in the combination of the input logic in a test vector number with a normal Iddq value.

[Claim 4] Said failure block extract by performing logical operation for every block All the combination groups of two or more kinds detected by the test vector number which the abnormalities in Iddq followed of continuous input logic It is the specification approach of the failure part of LSI according to claim 1 of extracting this block as a normal block and extracting this block as a failure block except it only when it exists in the combination group of the input logic in the continuous test vector number with a normal Iddq value.

[Claim 5] Said failure block extract by performing logical operation for every block The combination group of two or more kinds of input logic detected by the test vector number which the abnormalities in Iddq followed, And all the combination of two or more kinds of input logic detected by the test vector number which the abnormalities in Iddq do not follow The combination group of the input logic in the continuous test vector number with a normal Iddq value, And it is the specification approach of the failure part of LSI according to claim 1 of extracting this block as a normal block and extracting this block as a failure block except it only when it exists in the combination of the input logic in a test vector number with a normal Iddq value.

[Claim 6] Narrowing down of said locating fault in said failure block is the specification approach of the failure part of LSI according to claim 1 which narrows down a failure part in the combination of the input logic in said test vector number which the abnormalities in Iddq in this failure block have generated.

[Claim 7] Narrowing down of said locating fault in said failure block is the specification approach of the failure part of LSI according to claim 1 which narrows down a locating fault using the combination of

the input logic in said test vector number which the abnormalities in Iddq in this failure block have generated, and the combination of the input logic in the test vector number which the abnormalities in Iddq have not generated.

[Claim 8] The failure block extract by performing logical operation for said every block is the specification approach of the failure part of LSI according to claim 1 which separates a combination circuit and a sequential circuit and narrows down a failure part.

[Claim 9] The failure block extract by performing logical operation for said every block is the specification approach of the failure part of LSI according to claim 1 which narrows down a locating fault by reducing the circuit scale for circuitry sequentially from two or more elementary logic circuits.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-239394

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁵

G 0 1 R 31/28

G 0 6 F 17/50

識別記号

F I

G 0 1 R 31/28

G 0 6 F 15/60

F

6 7 2 D

審査請求 有 請求項の数 9 O L (全 15 頁)

(21) 出願番号

特願平9-39122

(22) 出願日

平成 9 年 (1997) 2 月 24 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 真田 克

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

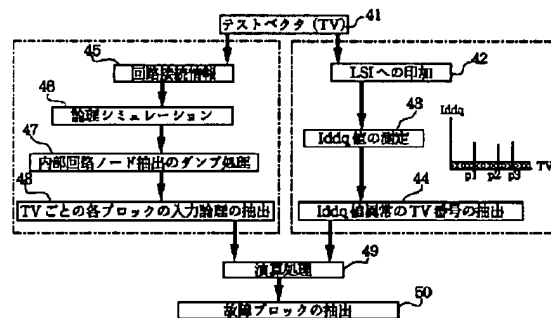
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 L S I の故障箇所の特定化方法

(57) 【要約】

【課題】 L S I 内部の多重故障を、少ないデータ量で、出力端子異常に無関係に、容易にかつ高速で絞り込み、故障数および故障箇所を特定化できる L S I の故障箇所の特定化方法を提供する。

【解決手段】 テストベクタ 4 1 ごとに变化する各ブロックの論理情報 4 8 は、回路接続情報 4 5 から L S I 回路検証のための論理シミュレーション 4 6 を用いてダンブ処理 4 7 によって出力される。そのテストベクタごとの各ブロックの論理情報 4 8 をテストベクタごとの I d d q 異常の有無の情報 4 4 と組合わせることで、各ブロックのテストベクタごとの演算処理 4 9 が実施され、故障箇所を内蔵したブロックの抽出 5 0 が行なわれ、そのブロックでの I d d q 異常の有無における論理情報からトランジスタレベルでの異常箇所が抽出される。



【特許請求の範囲】

【請求項1】 LSIの入力端子より順次入力されるテストベクタに従って変化する、前記LSIを構成する基本的論理回路単位であるブロックごとの論理動作情報と、該テストベクタにより生成する、前記LSIの論理動作の静止状態でのリーク電流であるIddqの値が所定値を越えるテストベクタ番号とを用いて、該ブロックごとの論理演算を行うことにより故障ブロックを抽出し、次に該故障ブロックにおけるIddq異常を有する前記テストベクタ番号での論理情報を用いて多重故障箇所を絞り込む、ことを特徴とするLSIの故障箇所の特定化方法。

【請求項2】 ブロックごとの前記論理動作情報は、LSIの入力端子より入力する前記テストベクタに同期して変化する各ブロックごとの前記テストベクタ番号ごとの入力論理の組合わせである、請求項1に記載のLSIの故障箇所の特定化方法。

【請求項3】 ブロックごとの論理演算を行うことによる前記故障ブロック抽出は、Iddq異常が発生する複数種類の入力論理の組合わせの全てが、Iddq値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出する、請求項1に記載のLSIの故障箇所の特定化方法。

【請求項4】 ブロックごとの論理演算を行うことによる前記故障ブロック抽出は、Iddq異常が連続したテストベクタ番号にて検出される複数種類の連続した入力論理の組合わせ群の全てが、Iddq値が正常な連続したテストベクタ番号での入力論理の組合わせ群に存在するときのみ、該ブロックを、正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出する、請求項1に記載のLSIの故障箇所の特定化方法。

【請求項5】 ブロックごとの論理演算を行うことによる前記故障ブロック抽出は、Iddq異常が連続したテストベクタ番号にて検出される複数種類の入力論理の組合わせ群、およびIddq異常が連続しないテストベクタ番号にて検出される複数種類の入力論理の組合わせの全てが、Iddq値が正常な連続したテストベクタ番号での入力論理の組合わせ群、およびIddq値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出する、請求項1に記載のLSIの故障箇所の特定化方法。

【請求項6】 前記故障ブロックにおける前記故障箇所の絞り込みは、該故障ブロックにおけるIddq異常が発生している前記テストベクタ番号での入力論理の組合わせで故障箇所を絞り込む、請求項1に記載のLSIの故障箇所の特定化方法。

【請求項7】 前記故障ブロックにおける前記故障箇所の絞り込みは、該故障ブロックにおけるIddq異常が

発生している前記テストベクタ番号での入力論理の組合わせとIddq異常が発生していないテストベクタ番号での入力論理の組合わせとを用いて故障箇所を絞り込む、請求項1に記載のLSIの故障箇所の特定化方法。

【請求項8】 前記ブロックごとの論理演算を行うことによる故障ブロック抽出は、組合わせ回路と順序回路とを分離して故障箇所を絞り込む、請求項1に記載のLSIの故障箇所の特定化方法。

【請求項9】 前記ブロックごとの論理演算を行うことによる故障ブロック抽出は、回路構成を複数個の基本的論理回路から順に回路規模を縮小していくことにより故障箇所を絞り込む、請求項1に記載のLSIの故障箇所の特定化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCMOSLSIの故障箇所絞り込みに関し、特に静止状態電源電流の発生有無とテストベクタにおける内部回路の論理状態とを比較することにより多重故障箇所を特定する、CMOS論理回路の故障箇所絞り込み方法に関する。

【0002】

【従来の技術】従来のCADを利用したシミュレーションによりLSIの故障箇所を絞り込む方法は、出力端子に異常が発生した情報をもととして推定する方法であった。

【0003】その第一の方法は故障辞書の作成による故障シミュレーション方法であり、この方法は内部回路の各ブロックに故障を定義しながら、異常が発覚する出力端子、出力値、そしてテストパターン番号を、実際の故障品のデータと比較することで故障箇所を推定する方法であった。

【0004】図12は従来例の故障辞書作成による故障シミュレーション方法の流れブロック図であり、図中符号121はテストベクタ、122は故障定義、123、124はLSIの論理接続、125、126は論理シミュレーション、127は比較である。故障箇所の指定には具体的には図12に示すように、LSIの出力端子における論理シミュレーション126による正常論理値と、内部回路の各ノードに故障定義122を行なった論理シミュレーション125による故障論理値とを用い、LSIの入力端子にテストベクタ121を入力した時、出力端子より出力する論理の比較127により実際の故障品と一致する故障定義位置を抽出する方法である。

【0005】第二の方法はバックトレース方法と称し、異常が発覚した出力端子、出力値、そしてテストパターン番号をもとに、出力端子から入力端子方向へ論理を逆にトレースする方法である。すなわち、LSIの入力端子に所定の信号を入力したとき、出力端子に出力する信号が期待値と異なっていたとき、その出力値と期待値との相違を利用して、出力端子から入力端子へ向かって内

部に拡散していく信号中から故障を伝搬している信号を抽出し、故障箇所を推定し、その箇所に故障を定義して再度、論理シミュレーションを行うことにより実際の故障との一致を検証する方法である。通常、複数の出力異常箇所を調査し、それらの組合わせにより疑似故障信号を限定しながら故障箇所を絞り込んでいくのが一般的であった。

【0006】

【発明が解決しようとする課題】上述した従来の方法は、いずれも多重故障品の解析が不可能であるという点、およびシミュレーションデータが膨大となることから実用的ではなかった。

【0007】まず、多重故障品の解析に関しては、多重故障数が分からねば解析できないという大きな問題点があった。すなわち、上述した各従来方式は出力端子の異常データのみでは何個の故障が存在するか不明であるため、解析者は出力端子の異常データから故障数を推定して解析を行っていた。しかしながら、故障数の推定が間違っていた時、間違った個数に対してシミュレーションを行うため、検出される結果は完全に間違った結果に終わっていた。

【0008】次に、従来方法の各々について課題を説明する。まず、第一の方法である故障辞書作成による故障シミュレーション方法は、扱える故障モデルは単一縮退故障(Stuck-at-0、Stuck-at-1)のみであり、オープン故障はシミュレーションできないため、故障モードの特定化という点からは一般的ではなかった。なぜならば、故障シミュレーションにて扱う故障はモデル化された論理故障のためであり、オープン故障は論理が定まらないからである。さらに定義する故障数は回路を構成するすべての信号線に対して順次定義していかなければならないため、膨大なデータ量となり実用的ではなかった。すなわち、定義する故障数(V0)はLSIを構成する回路素子数(L)の3乗から4乗に比例すると言われている。

【0009】 $\ln(V0) \propto (3 \sim 4) \cdot \ln(L)$

第二の方法であるバックトレース方法は出力端子異常の情報のみをデータとして使用するため、回路内部にいくつかの故障が発生しているかを判断することができなかった。さらに、バックトレースの特徴は複数個の出力異常端子が存在してはじめて故障発生箇所が限定されていくが、その前提はいくまで単一故障の場合のみであり、また、出力端子から内部回路への方は信号が拡大していく方向であるため、膨大な疑似故障が検出されることになり絞り込みは不可能となる欠点があった。従って、純粹にバックトレース方式のみで故障箇所を絞り込むことが困難となってきており、例えばLSIテストングシンポジウムにて報告されているように、最近ではEBT(Electron Beam Tester)のような物理解析方法とリンクさせた、非接触による電位コン

トラスト像や論理動作波形の取得により、疑似故障箇所を故障候補から消していく方法がとられるような傾向に変わってきている。

【0010】本発明の目的は、LSI内部の多重故障を、少ないデータ量で、出力端子異常に無関係に、容易にかつ高速で絞り込み、故障数および故障箇所を特定化できるLSIの故障箇所の特定化方法を提供することにある。

【0011】

10 【課題を解決するための手段】本発明のLSIの故障箇所の特定化方法は、LSIの入力端子より順次入力されるテストベクタに従って変化する、LSIを構成する基本的論理回路単位であるブロックごとの論理動作情報と、該テストベクタにより生成する、LSIの論理動作の静止状態でのリーク電流であるIddqの値が所定値を越えるテストベクタ番号とを用いて、該ブロックごとの論理演算を行うことにより故障ブロックを抽出し、次に該故障ブロックにおけるIddq異常を有するテストベクタ番号での論理情報を用いて多重故障箇所を絞り込む。

【0012】ブロックごとの論理動作情報は、LSIの入力端子より入力するテストベクタに同期して変化する各ブロックごとのテストベクタ番号ごとの入力論理の組合わせであることが望ましい。

【0013】ブロックごとの論理演算を行うことによる故障ブロック抽出は、Iddq異常が発生する複数種類の入力論理の組合わせの全てが、Iddq値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出してもよく、Iddq異常が連続したテストベクタ番号にて検出される複数種類の連続した入力論理の組合わせ群の全てが、Iddq値が正常な連続したテストベクタ番号での入力論理の組合わせ群に存在するときのみ、該ブロックを、正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出してもよく、Iddq異常が連続したテストベクタ番号にて検出される複数種類の入力論理の組合わせ群、およびIddq異常が連続しないテストベクタ番号にて検出される複数種類の入力論理の組合わせの全てが、Iddq値が正常な連続したテストベクタ番号での入力論理の組合わせ群、およびIddq値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出してもよい。

【0014】故障ブロックにおける故障箇所の絞り込みは、該故障ブロックにおけるIddq異常が発生しているテストベクタ番号での入力論理の組合わせで故障箇所を絞り込んでもよく、該故障ブロックにおけるIddq異常が発生しているテストベクタ番号での入力論理の組

合わせとIddq異常が発生していないテストベクタ番号での入力論理の組合わせとを用いて故障箇所を絞り込んでもよい。

【0015】ブロックごとの論理演算を行うことによる故障ブロック抽出は、組合わせ回路と順序回路とを分離して故障箇所を絞り込んでもよく、回路構成を複数個の基本的論理回路から順に回路規模を縮小していくことにより故障箇所を絞り込んでもよい。

【0016】CMOS論理回路は回路内部に物理欠陥を有すると、一般的傾向として“Iddq (Quiescent Vdd Supply Current)”と称する静止状態電源電流に異常値が現れる。従って、このIddq異常は、LSI回路内部の物理故障を顕在化させるシグナルとみなすことができる。この詳細については、M. Sanada “Evaluation and Detection of CMOS-LSI with Abnormal Iddq” Microelectronics and Reliability, Vol. 35, NO. 3, pp. 619-629, 1995にて明らかであり、本発明は上述した性質を利用したものである。

【0017】通常、ゲートアレイ品に代表されるASIC (Application Specific Integrated Circuits) は予め準備された“ブロック”と称する基本的な論理を構成する回路を組合わせることにより所望の電気回路を構成することにより実現される。

【0018】本発明による多重故障箇所の絞り込み方法は、上述した設計方式を利用するものであり、LSIの入力端子より入力するテストベクタに従って変化する、“ブロック”と称するLSIを構成する基本的論理回路単位での論理動作情報と、そのテストベクタごとに“Iddq”と称するLSIの論理動作の静止状態でのリーク電流の値が所定値を越えるテストベクタ番号とを用いて、ブロックごとの論理演算を行うことにより故障ブロック抽出し、次に該故障ブロックにおけるIddq異常を有するテストベクタ番号での論理情報を用いて故障箇所を絞り込む多重故障箇所の特定化方法であり、上述したブロックごとの論理動作情報はLSIの入力端子より入力するテストベクタに同期して変化する各ブロックごとのテストベクタ番号ごとの入力論理の組合わせである。

【0019】上述のデータを用いたブロックごとの論理演算を行うことによる故障ブロック抽出方法は2種類あり、1つは、Iddq異常が発生する複数種類の入力論理の組合わせの内の少なくとも1種類以上と同一な入力論理の組合わせが、Iddq値が正常なテストベクタ番号における入力論理の組合わせに存在しないブロックを故障ブロックとして抽出する方法であり、もう1つは、Iddq異常が連続したテストベクタ番号にて検出され

る複数種類の連続した入力論理の組合わせ群の内の1種類以上と同一の入力論理の組合わせ群が、Iddq値が正常な連続したテストベクタ番号での入力論理の組合わせ群に存在しないブロックを故障ブロックとして抽出する多重故障箇所の特定化方法である。

【0020】さらに、上述した2種類のモード“Iddq異常が連続したテストベクタ番号にて検出される複数種類の連続した入力論理の組合わせ群”および、“連続しないテストベクタ番号にて検出される複数種類の入力論理の組合わせ”が混在した論理の組合わせ中の1種類以上と同一な“入力論理の組合わせ群”と“入力論理の組合わせ”が、Iddq値が正常なテストベクタ番号での“入力論理の組合わせ群”と“入力論理の組合わせ”に存在しないブロックを故障ブロックとして抽出することを特徴とした多重故障箇所の特定化方法である。

【0021】次に、特定化された故障ブロック内部の故障箇所の絞り込みは2種類あり、一つは、その故障ブロックにおけるIddq異常が発生しているテストベクタ番号での入力論理の組合わせを用いて故障箇所を絞り込むことを特徴としており、もう一つは、その故障ブロックにおけるIddq異常が発生しているテストベクタ番号での入力論理の組合わせとIddq異常が発生していないテストベクタ番号での入力論理の組合わせを用いて故障箇所を絞り込むことを特徴としている。

【0022】上述のデータを用いたブロックごとの論理演算を行うことによる故障ブロック抽出は、組合わせ回路と順序回路を分離したことを特徴としており、さらに、回路構成を複数個の基本的論理回路から順に回路規模を縮小していくことにより、故障箇所を絞り込むことを特徴とする故障箇所の特定化方法である。

【0023】

【発明の実施の形態】前述のように、CMOS論理回路は回路内部に物理欠陥を有すると、一般的傾向として“Iddq (Quiescent Vdd Supply Current)”と称する論理の静止状態における電源電流に異常値が現れる。図1は物理故障の存在による貫通電流発生の様子を示す模式図であり、図中符号11はLSI、12はVdd、13はGND、14は物理故障箇所、15はテストベクタ、16はIddq (異常)である。すなわち、LSI 11の内部に物理故障箇所14が存在すると、任意のテストベクタ15により設定された論理により、その物理故障箇所14を介して、または、物理故障箇所14の影響をうけてVdd 12からGND 13への貫通電流即ち異常Iddq 16が発生する。

【0024】通常、ゲートアレイ品に代表されるASIC (Application Specific Integrated Circuits) の設計は、予め準備された“ブロック”と称する基本的な論理を構成する回路を組合わせることにより所望の電気回路を実現す

る設計方法である。そのようなASICのCMOS回路内部に存在する故障個所の絞り込みは、テストベクタごとに变化する各ブロックの論理シミュレーション情報と、Iddq異常を発生させるテストベクタ番号とを用いることで可能となる。

【0025】説明はまず、各ブロックの論理シミュレーション情報について説明し、次に、Iddq異常を発生させるテストベクタ番号抽出方法について説明する。その後、本発明の手順を説明し、次に故障ブロック絞り込みのための方式について説明する。

【0026】1) LSIの各ブロックの論理シミュレーション情報(図2)

図2はLSIの各ブロックの論理シミュレーション結果をアレンジし直す過程の説明図であり、(a)はLSIの入出力状態を示す模式図、(b)はLSIの入出力論理関係を示すテストベクタ表、(c)はLSIの各ブロックを示す模式図、(d)はSIM(Systems Integration Model)上の時刻変化ごとのブロックの出力論理変化表、(e)はLSIの各ブロックからの出力を示す模式図、(f)は各ブロックごとのテストベクタに対する入力論理を表すダンプリストである。図中符号21はLSI、22は入力端子、23は出力端子、25はテストベクタ、26は出力、27はブロックB1、28はブロックB2、29はブロックBnである。

【0027】論理シミュレーションは、通常LSI21の入力端子22から入力するテストベクタ25に対応して出力端子23に出力する期待値を検証する論理検証のためのツールであり、通常、電気回路の動作確認と同時に、タイミングや内部遅延を検証するために用いられる。従って、必要となる検証データは各ブロックごとの出力端子に出力する論理と論理の時間変化情報のみで十分である。しかしながら、本手法に必要となるシミュレーションデータはテストベクタ番号ごとに变化する各ブロックごとの入力論理情報であり、通常の論理シミュレーション結果をアレンジし直さねばならない。

【0028】図2は論理シミュレーション結果を本手法で必要となる結果にアレンジし直す過程を解説した説明図であり、まず、各ブロックごとの出力端子に出力する論理と論理の時間変化情報とを、各ブロックごとの出力端子に出力する論理と論理のテストベクタ番号ごとの変化情報に直し、次に各ブロックごとの出力端子が次段のブロックの入力端子に接続される関係から、ブロックごとの入力端子に入力する論理情報と論理のテストベクタ番号ごとの変化情報に直した変遷を示している。

【0029】2) Iddq異常を発生させるテストベクタ番号(図3)

テストベクタごとのIddq異常の有無情報は故障品LSIの入力端子よりテストベクタを入力し、各テストベクタでの論理の静止状態におけるリーク電流値を測定

し、規格値を越えたりーク電流値をIddq異常値として識別したものが、Iddq異常有りとして抽出されるテストベクタ情報である。図3はテストベクタごとのIddq異常有無情報を示すグラフであり、図中符号31はIddqのしきい値、32はIddq(正常)、33はIddq(異常)である。X軸にテストベクタ番号(以降、TVno.と記す)をY軸にIddq値を示す。正常品のIddq値は規格値以下(例えば、正常状態において回路に貫通電流が発生しない時は1 μ A以下)であるのに対して、Iddq異常品は規格値の数倍から数千倍の異常な貫通電流が流れる。

【0030】3) 本発明の手順(図4)

図4は本発明の手順を示すフローチャートである。図中符号41はテストベクタ(TV)、42はLSIへの印加、43はIddq値の測定、44はIddq値異常のTV番号の抽出、45は回路接続情報、46は論理シミュレーション、47は内部回路ノード抽出のダンプ処理、48はTVごとの各ブロックの入力論理の抽出、49は演算処理、50は故障ブロックの抽出である。

【0031】本発明では、LSIの論理動作をテストするために準備されたテストベクタは、テストベクタごとに变化するLSIを構成する各ブロックごとの論理情報と、テストベクタごとのIddq異常の有無情報とを検出するために用いられる。

【0032】まず、テストベクタ41ごとに变化する各ブロックの入力論理情報48は上述した方式により、回路接続情報45からLSI回路検証のための論理シミュレーション46を用いて“ダンプ処理”47と称するLSIを構成する各ブロックのテキスト名を指定して出力する。そのテストベクタごとの各ブロックの入力論理情報48は上述したテストベクタごとのIddq異常の有無の情報44と組合わせることで、各ブロックのテストベクタごとの演算処理49が実施され、故障個所を内蔵したブロックの抽出50が行なわれる。

【0033】そして、抽出された故障個所を内蔵したブロック50をもとに、そのブロックでのIddq異常の有無における論理情報からトランジスタレベルでの異常箇所を抽出し完了する。

【0034】4) 故障ブロック絞り込みのための方式(図5)

図5は本発明による故障ブロックを絞り込むための基本的な考え方を述べる説明図であり、(a)はLSI内のブロックを示す模式図、(b)は各ブロックごとのダンプリスト、(c)は(b)のダンプリストに対応させたIddq異常有無情報を示すグラフである。図中符号51はLSI、52はブロックB1、53はブロックB2、54はブロックB3、55はブロックBn、56はテストベクタ、57はIddq(異常)、58はダンプリスト、59はIddq異常箇所である。

【0035】複数のブロック(B1、B2、B3、...

10

20

30

40

50

・・・、 B_n 、・・・)にて構成されるLSI51の入力端子よりテストベクタ56を入力する。その入力論理はそれらのブロックで論理を展開しながら出力端子に至る。

【0036】上述したダンパ処理により、各ブロックのテストベクタごとの論理状態が抽出される。この様子は図5(b)に示す各ブロックごとのダンプリスト58に示される。ところで、LSIにてテストベクタごとに検出されるIddq値は、テストベクタごとの各ブロック(B_1 、 B_2 、 B_3 、・・・、 B_n 、・・・)に発生するIddq値の合計であり、通常、規格値以内に収まっている。しかしながら、物理故障を内蔵しているブロックがそのブロック群に存在すると、そのブロックに発生する異常電流値がLSIでのIddq値異常として検出される。

【0037】図5(c)に示された上述のIddq値異常57が発生しているテストベクタ番号TVno. a、b、cは、各ブロックごとのダンプリストにおけるTVno. a、b、cにも対応しており、従って、各ブロックにてIddq異常表示されたテストベクタと正常状態でのテストベクタの入力論理を比較する(後述する)ことによりIddq異常を内蔵するブロックを抽出することができる。

【0038】5) 故障ブロックの抽出方式

次に、Iddq異常を内蔵するブロックを抽出する方法について説明する。ASICを構成するブロックは大きく2種類の回路に分類される。即ち組合わせ回路と順序回路である。組合わせ回路はそのブロックの入力端子に信号が印加されるとその論理が内部の回路を介して直接出力してくる回路形式であり、基本ゲート(AND、OR、NAND、インバータ回路等)からALUやADDER回路等の大きな規模の回路までである。また、順序回路はクロック信号に同期してデータが一旦回路内部に蓄えられ、次のクロック信号で出力するといった出力を行う回路形式であり、フリップ・フロップ、レジスタ回路やラッチ回路等がある。これら2種類の回路の故障診断は異なった方式で実施される。

【0039】5-1) 組合わせ回路に対する故障ブロックの抽出方式(図6)

まず、組合わせ回路に対する故障ブロックの抽出方式について図6にて説明する。図6は組み合せ回路の故障ブロックの抽出方法の説明図であり、(a)はダンプリストとして抽出された5入力端子を有する組合わせ回路のダンプリスト、(b)はIddq異常発生フローチャート、(c)はダンプリストとして抽出された5入力端子を有する組合わせ回路のダンプリスト、(d)はブロックを正常と判定するためのフローチャート、(e)はダンプリストとして抽出された5入力端子を有する組合わせ回路のダンプリスト、(f)はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【0040】図に示すように、Iddq異常が発生する入力論理の組合わせは3種類(A、B、C)存在している。それらの種類に対するTV番号は、

入力論理の組合わせAは TV(a1)、TV(a2)、TV(a3)

入力論理の組合わせBは TV(b1)、TV(b2)

入力論理の組合わせCは TV(c1)、TV(c2)、TV(c3)

である。

【0041】これらの3種類の入力論理の組合わせと同じ入力論理の組合わせがIddq値が正常なTVに存在するかどうかコンピュータ(PCまたはEWS)を用いて調査する。

【0042】図6(c)、(d)はブロックを正常と判断するケースの1例である。入力論理の組合わせA、B、Cの全てが正常なTVに存在したとき、このブロックを正常と判断する。即ち、このブロックにおける“入力論理の組合わせA”と同一の入力論理の組合わせがIddq値が正常なTVに存在したとき、このブロックにおける“入力論理の組合わせA”は故障を示唆している入力論理ではないと判断する。次に、“入力論理の組合わせB”と同一の入力論理の組合わせがIddq値が正常なTVに存在したとき、上記と同様に“入力論理の組合わせB”は故障を示唆している入力論理ではないと判断する。以下、同様に“入力論理の組合わせC”と同一の入力論理の組合わせがIddq値が正常なTVに存在したとき上記と同様に“入力論理の組合わせC”は故障を示唆している入力論理ではないと判断し、全てのIddq値異常の入力論理の組合わせが故障を示唆していないので、このブロックは正常と判断してブロックの調査を終了する。

【0043】図6(e)、(f)はブロックに故障内蔵の疑いがあると判断するケースの1例である。上述と同様な調査を行い、入力論理の組合わせA、B、Cの内の少なくとも1組合わせ以上がIddq値が正常なTVにおける入力論理の組合わせに存在していない時に、このブロックに故障内蔵の疑いがあると判断する。

【0044】その理由について説明する。多重故障は1個のブロックに故障が全て内蔵しているか、複数のブロックに故障が内蔵しているかのどちらかである。

【0045】前者は、1個のブロックに故障が全て内蔵しているため、図6(e)、(f)における“ブロックに故障内蔵の疑いがあると判断するケース”を考えた時、これら3種類のIddq異常が発生する入力論理の組合わせは、それらの組合わせがあれば必ずIddq異常を発生し、従って、Iddq値が正常なTVにおける入力論理の組合わせには存在しないはずだからである。

【0046】後者は、複数のブロックに故障が内蔵しているケースであり、3種類の入力論理の組合わせ中の1種類(A)がIddq値の正常なTVにおける入力論理

の組合せに存在する時、その入力論理の組合せ (A) は別のブロックに内蔵された I d d q 異常の情報 が重なったものであると判断できる。そして、他の2種類が I d d q 異常を発生するTVであり、故障を内蔵している可能性ありと判断されるからである。

【0047】同様に、3種類の入力論理の組合せ中の2種類 (A、B) が I d d q 値が正常なTVにおける入力論理の組合せに存在する時、それは別のブロックに内蔵された I d d q 異常の情報が重なったものであると判断できる。そして、残った他の1種類は I d d q 異常を発生するTVであり、故障を内蔵している可能性ありと判断されるからである。

【0048】さらに、3種類の入力論理の組合せ中の全て (A、B、C) が I d d q 値が正常なTVにおける入力論理の組合せに存在する時、それは別のブロックに内蔵された I d d q 異常の情報が重なったものであると判断できる。従ってこのブロックには I d d q 異常を発生するTVはなく、正常であると判断されるからである。

【0049】5-2) 順序回路に対する故障ブロックの抽出方式 (図7)

次に、順序回路に対する故障ブロックの抽出方式について図7にて説明する。図7は順序回路の故障ブロックの抽出方法の説明図であり、(a) はダンプリストとして抽出された5入力端子を有する順序回路のダンプリスト、(b) は I d d q 異常発生フローチャート、(c) はダンプリストとして抽出された5入力端子を有する順序回路のダンプリスト、(d) はブロックを正常と判定するためのフローチャート、(e) はダンプリストとして抽出された5入力端子を有する順序回路のダンプリスト、(f) はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【0050】図7 (a)、(b) に示すように、I d d q 異常が発生する入力論理の組合せは7種類 (A、B、C、D、E、F、G) 存在している。それらのTV上での発生の様子には特徴があり、I d d q 異常が発生する入力論理の組合せは連続したTVにてA、B、C、Dの群とE、F、Gの群にて連続発生している。

【0051】このときは、これらの群 (A、B、C、D) と群 (E、F、G) の固まりと同じ入力論理の組合せの固まりが I d d q 値が正常なTVに存在するかどうかが調査する。

【0052】図7 (c)、(d) はブロックを正常と判断するケースの1例である。入力論理の組合せ群 (A、B、C、D) および (E、F、G) と同一の入力論理の組合せ群が I d d q 値が正常なTVに存在したとき、このブロックを正常と判断する。即ち、入力論理の組合せ群 (A、B、C、D) と同一の入力論理の組合せ群が I d d q 値が正常なTVに存在したとき、このブロックにおける “入力論理の組合せ群 (A、B、

C、D)” は故障を示唆している入力論理ではないと判断する。次に、入力論理の組合せ群 (E、F、G) と同一の入力論理の組合せ群が I d d q 値が正常なTVに存在したとき、上記と同様に “入力論理の組合せ群 (E、F、G)” は故障を示唆している入力論理ではないと判断し、全ての I d d q 値異常の入力論理の組合せ群が故障を示唆していないので、このブロックは正常と判断してブロックの調査を終了する。

【0053】図7 (e)、(f) はブロックに故障内蔵の疑いがあると判断するケースの1例である。上述と同様な調査を行い、入力論理の組合せ群 (A、B、C、D) および、群 (E、F、G) の内の少なくとも1組合せ群以上が I d d q 値が正常なTVにおける入力論理の組合せ群に存在していない時に、このブロックに故障内蔵の疑いがあると判断する。

【0054】その理由については組合せ回路での説明と同様である。多重故障は1個のブロックに故障が全て内蔵しているか、複数のブロックに故障が内蔵しているかのどちらかである。

【0055】前者は、1個のブロックに故障が全て内蔵しているため、図7 (e)、(f) における “ブロックに故障内蔵の疑いがあると判断するケース” を考えた時、これら2種類の I d d q 異常が発生する入力論理の組合せ群は、それらの組合せ群があれば必ず I d d q 異常を発生し、従って、I d d q 値が正常なTVにおける入力論理の組合せ群には存在しないはずだからである。

【0056】後者は、複数のブロックに故障が内蔵しているケースであり、2種類の入力論理の組合せ中の1種類群 (A、B、C、D) が I d d q 値の正常なTVにおける入力論理の組合せ群に存在する時、その入力論理の組合せ群 (A、B、C、D) は別のブロックに内蔵された I d d q 異常の情報が重なったものであると判断できる。そして、他の群 (E、F、G) は I d d q 異常を発生する入力論理の組合せ群であり、故障を内蔵している可能性ありと判断されるからである。

【0057】以上、順序回路における診断方式を述べたが、順序回路は連続したTVの他に、単一のTVにて I d d q 異常が発生しているケースがあり、例えば、I d d q 異常が発生する入力論理の組合せは7種類 (A、B、C、D、E、F、G) 存在している。I d d q 異常が発生する入力論理の組合せは連続したTVでの (A、B、C、D) の群と単一の入力論理の組合せ E、F および G というケースである。この場合の調査は連続したTVでの (A、B、C、D) の群、入力論理の組合せ E、F および G の4種類を考える。さらに、連続したTVでの (A、B、C、D) の群に単一のTVの入力論理の組合せと同一の入力論理の組合せが存在しても (例えば、B=F)、これらは別個に考える。調査は、連続したTVでの (A、B、C、D) の群

にておこない、さらに単一のTV(F)での調査をおこなう。

【0058】この判断理由を説明するために、基本的な順序回路であるDタイプフリップ・フロップ(以降、DF/Fと記す)を用いて説明する。

【0059】図8は順序回路の診断方式の説明図であり、(a)はDタイプフリップ・フロップの回路図、(b)はDタイプフリップ・フロップの論理テーブルである。

【0060】図8(a)は、1個のインバータ回路、2個の2入力AND回路および、2個の2入力NOR回路から構成される2入力(D:Data端子、CLK:Clock端子)、2出力(Q、Q*)の端子群を有するDF/Fの回路構成である(Q*=Qの反転論理を意味する)。図8(b)はその論理テーブル(真理値表)を示す。DF/Fにおいて、Q出力側2入力NOR回路が“H”出力になった時Iddq異常が発生したとすると、この異常は図8(b)に示す論理テーブル表のテストベクタTVno. 6、7、10、11、12、13においてIddq異常が発生する。

【0061】これを単一の入力論理の組合わせとして見ると、Iddq異常の発生したTVの内、TVno. 7、11、13に注目したとき、同様な入力論理(D=0、CLK=0)がTVno. 3、5、9においても設定されている。しかしながら、これらTVno. 3、5、9の入力論理においてはIddq異常は発生していない。その理由は順序回路はクロック信号に同期してデータが一旦回路内部に蓄えられ、次のクロック信号で出力するという回路形式のためである。

【0062】すなわち、図8(b)に示す論理テーブル表から明らかなように、テストベクタTVno. 7、11、13において保持されている論理はQ出力側2入力NOR回路が“H”および、Q*出力側2入力NOR回路が“L”出力となった論理であるのに対し、テストベクタTVno. 3、5、9において保持されている論理はQ出力側2入力NOR回路が“L”および、Q*出力側2入力NOR回路が“H”出力となった論理であるためである。従って、Q出力側2入力NOR回路が“H”出力になった時Iddq異常が発生する状態はテストベクタTVno. 7、11、13での保持状態で異常として検出されている。従って、順序回路における故障箇所検出の方式はDF/Fへの論理の設定と保持状態の入力論理を1つの組合わせ群{テストベクタTVno. 6、7}および{TVno. 10、11、12、13}として調査しなければならない。すなわち、順序回路の故障箇所検出の方式はIddq異常の入力論理の組合わせ群が正常なテストベクタでの入力論理の組合わせ群の中に存在するかどうか調査しなければ、そのブロックに故障が存在するかどうかの判定がなされない。

【0063】6)階層別分割による故障ブロック絞り込

み方式(図9)

図9はLSIを階層別に分割し、故障ブロックを絞り込む方式を示す説明図であり、図中91はLSI、92は順序回路、93、94、95は組合わせ回路、96はブロック(b1)、97はブロック(b2)、98はブロック(b3)、99は基本ブロックである。

【0064】階層別ブロック構成の場合は、設計時に使用されるライブラリと称する、予め準備されている基本的な回路構成をされたブロックの単位で解析を行う方式が一般的であるが、大規模化されたLSIにおいては膨大なブロック数となることが予測される。それに対応するために、全体を任意の大きさに再分割して、LSI内部のブロック構成を変える方式がある。その再構成で注意すべきことは、組合わせ回路と順序回路とを区別して1つの階層単位に階層分割しなければならないことである。理由は上述した組合わせ回路と順序回路での演算処理の方式が異なるためである。

【0065】図中、階層分割においては、組合わせ回路と順序回路が混在しているため、順序回路を境にして組合わせ回路を分割しやすい階層構成(a1、a2、a3)として故障箇所の絞り込みを行っている。次に、故障が発生しているとして抽出された階層ブロック(a1)93において、階層ブロック組を構成する階層構成b1、b2、b3にて故障箇所の絞り込みを行う。そして最後に最小単位である、“基本的論理回路構成”でのブロック(b2)97を抽出する。

【0066】7)トランジスタレベルの故障箇所の絞り込み方法(図10)

次に、“基本的論理回路構成”での基本ブロック99より、その回路を構成しているトランジスタレベルの故障箇所を絞り込む。基本的論理回路は一般に数トランジスタから数十トランジスタで構成される、OR、NOR、NAND、AND、インバータ回路、フリップフロップ回路といった基本的な論理動作を単位とする機能回路である。故障箇所の絞り込み方法は組合わせ回路、順序回路とも同じである。これらの基本的論理回路は入力論理に同期してどのトランジスタがON/OFFしているか明確に判定できるため、論理シミュレーションにより容易に故障トランジスタを抽出できる。以下に基本的論理回路の1つである、2入力NAND回路の例を用いて説明する。

【0067】図10は論理シミュレーションによる故障トランジスタの抽出の説明図であり、(a)は2入力NANDの回路図であり、(b)は2入力NAND回路の入力論理の全組合わせに注目した真理値表とIddq値との相関表である。2入力にて構成する4つの入力論理の組合わせ(TV1、TV2、TV3、TV4)中、TV3(入力端子IN1にLowレベル、入力端子IN2にHighレベルが入力)にてIddq異常が発生し、他の入力論理の組合わせ(TV1、TV2、TV4)は

15

正常であったとする。この情報を基に故障トランジスタを抽出する手法を説明する。通常、この故障トランジスタを抽出する方法は論理シミュレーションを用いて、各テストベクタにてどのトランジスタがON/OFFしているかを検証することにより実施する。

【0068】図10の2入力NAND回路図において、*

| TVno. | PTr-1 | PTr-2 | NTr-1 | NTr-2 | Iddq値 |
|-------|-------|-------|-------|-------|-------|
| TV1、 | OFF | OFF | ON | ON | 正常 |
| TV2、 | OFF | ON | ON | OFF | 正常 |
| TV3、 | ON | OFF | OFF | ON | 異常 |
| TV4、 | ON | ON | OFF | OFF | 正常 |

と記述できる。

※入力NAND回路において2通りが考えられる。

【0069】さらに、Iddq異常が発生する通路は2※ 【0070】

- 1、 Vdd→ PTr1→ NTr1→ NTr2→ GND
- 2、 Vdd→ PTr2→ NTr1→ NTr2→ GND

これらの通路と上述のトランジスタのON/OFF状況 ★スタのON/OFF状況で書き表してみると、Iddqとの検証から、Iddq異常が発生する通路をトランジ★ 異常が発生する通路1は、

| | |
|-------------------------------|----------------------|
| 1、 Vdd→ PTr1→ NTr1→ NTr2→ GND | |
| TV1、 | OFF ON ON 正常 |
| TV2、 | OFF ON OFF 正常 |
| TV3、 | ON <u>OFF</u> ON 異常 |
| TV4、 | ON <u>OFF</u> OFF 正常 |

となり、NTr1が異常となって常にON状態の時、貫 ☆【0071】また、Iddq異常が発生する通路2は、通電流が発生する。

| | |
|-------------------------------|-----------------------------|
| 2、 Vdd→ PTr2→ NTr1→ NTr2→ GND | |
| TV1、 | OFF ON ON 正常 |
| TV2、 | ON ON OFF 正常 |
| TV3、 | <u>OFF</u> <u>OFF</u> ON 異常 |
| TV4、 | ON OFF OFF 正常 |

となり、PTr2およびNTr1が異常となって常にON 30◆込んだ故障素子である。

N状態となった時、貫通電流が発生する。しかしながら、TV1はIddq値は正常なため、PTr2に物理故障が内蔵していることと矛盾し、PTr2は正常と判断される。

【0072】以上、通路1、2の検証によりNTr1が異常となり常にON状態の時、貫通電流が発生することが判明する。

【0073】以上は4トランジスタ構成である2入力NAND回路についての例であるが、数十トランジスタにて構成された基本論理回路は上述した検証と同様の操作をコンピュータを用いた論理シミュレーションにより実施することにより短時間で異常トランジスタを抽出できる。

【0074】8) 組合わせ回路の故障箇所絞り込み方法 (図11)

図11は組合わせ回路における故障箇所を絞り込む方法を示す説明図であり、(a)は真理値表とIddq値との相関表、(b)は(a)のIddq異常箇所の拡大表、(c)は故障素子絞り込みの模式図であり、図中符号111、112はテストベクタの変化、113は絞り◆50

16

*テストベクタ(TV1、TV2、TV3、TV4)に対する、Pチャネルトランジスタ1、2(以降、PTr-1、PTr-2と記す)Nチャネルトランジスタ1、2(以降、NTr-1、NTr-2と記す)のON/OFF状況は

【0075】Iddq異常が発生したテストベクタおよび、正常状態でのテストベクタを用いてIddq異常が発生したテストベクタにおける論理の変化を公知のシミュレーションにより抽出する方式である。特に重要なデータはIddq異常が発生したテストベクタであり、組合わせ回路の場合、そのIddq異常が発生するテストベクタの前後において内部の論理の変化を用いて、公知の論理シミュレーションにより、故障内蔵素子を簡単に抽出できる。図11は前述した故障内蔵素子を簡単に抽出するための説明図であり、テストベクタTVno. (a-1)からTVno. (a)に変化{F(a-1, a)}した時、Iddq異常が発生する。この時のベクタの変化は入力ピンNO5のみが“0”から“1”へ変化し、他は変化していない。この論理の変化は論理シミュレーションにより変化素子を抽出できる。さらにテストベクタTVno. (a)からTVno. (a+1)に変化{F(a, a+1)}した時、正常状態に戻る。この時のベクタの変化は入力ピンNO8のみが“1”から“0”へ変化し、他は変化していない。前処理にて複数個の疑似故障素子が抽出されたとき、それ

らの疑似故障素子をさらに絞り込むことができる。その処理をIddq異常が発生した全テストベクタに関して実行することにより、故障内蔵素子を抽出することができる。

【0076】

【発明の効果】以上説明したように、本発明はIddq異常が発生したという現象を用いて、多重故障箇所を絞り込む方法であり、その方法は6つの大きな効果を有する。

【0077】第1は、出力端子異常の有無に関係なく故障箇所を絞り込めるという点である。これは本発明の一番大きな特徴である。

【0078】第2は、容易に故障箇所を絞り込むことができるという点である。すなわち、本方法の実行はLSI設計段階での検証ツールとして用いる論理シミュレーションを基にした各ブロックごとのダンプリストと、Iddq異常が発生したテストベクタ番号のみのデータでよいので、回路が解らなくても簡単に故障箇所を絞り込むことができる効果がある。

【0079】第3は、さらに、上述したデータは故障品のIddq異常が発生したテストベクタ番号のみでよいので、故障品がなくても解析が可能となる効果がある。

【0080】第4は、予め多重故障数が分からなくても、故障数および、その故障数に対応した故障箇所は演算処理にて特定化できるという点である。

【0081】第5は、高速に処理が可能である点である。本方法はコンピュータが得意とする演算処理のみでよいので、高速に処理が可能である。また、LSIが大規模になったとしても分割したブロック単位での演算が可能なので、コンピュータ容量の影響を受けないメリットがある。さらに、その演算はブロックごとにて独自に行うため、並列処理による短時間処理が可能である。

【0082】第6は、本発明の適用はIddq異常値の大きさに関係しないということである。解析に必要なデータはIddq異常が発生したテストベクタ番号であり、Iddq異常値の大きさに関係しないため、正常品とわずかな差の現れるサンプルにおいてもその発生箇所を絞り込むことが可能となる。

【図面の簡単な説明】

【図1】物理故障の存在による貫通電流発生の様子を示す模式図である。

【図2】LSIの各ブロックの論理シミュレーション結果をアレンジし直す過程の説明図である。(a)はLSIの入出力状態を示す模式図である。(b)はLSIの入出力論理関係を示すテストベクタ表である。(c)はLSIの各ブロックを示す模式図である。(d)はSIM (Systems Integration Model) 上の時刻変化ごとのブロックの出力論理変化表である。(e)はLSIの各ブロックからの出力を示す模式図である。(f)は各ブロックごとのテストベクタに

対する入力論理を表すダンプリストである。

【図3】テストベクタごとのIddq異常有無情報を示すグラフである。

【図4】本発明の手順を示すフローチャートである。

【図5】本発明による故障ブロックを絞り込むための基本的な考え方を述べる説明図である。(a)はLSI内のブロックを示す模式図である。(b)は各ブロックごとのテストベクタ表である。(c)は(b)のテストベクタ表に対応させたIddq異常有無情報を示すグラフである。

【図6】組み合わせ回路の故障ブロックの抽出方法の説明図である。(a)はダンプリストとして抽出された5入力端子を有する組み合わせ回路のダンプリストである。

(b)はIddq異常発生時のフローチャートである。

(c)はダンプリストとして抽出された5入力端子を有する組み合わせ回路のダンプリストである。(d)はブロックを正常と判定するためのフローチャートである。

(e)はダンプリストとして抽出された5入力端子を有する組み合わせ回路のダンプリストである。(f)はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【図7】順序回路の故障ブロックの抽出方法の説明図である。(a)はダンプリストとして抽出された5入力端子を有する順序回路のダンプリストである。(b)はIddq異常発生時のフローチャートである。(c)はダンプリストとして抽出された5入力端子を有する順序回路のダンプリストである。(d)はブロックを正常と判定するためのフローチャートである。(e)はダンプリストとして抽出された5入力端子を有する順序回路のダンプリストである。(f)はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【図8】順序回路の診断方式の説明図である。(a)はDタイプフリップ・フロップの回路図である。(b)はDタイプフリップ・フロップの論理テーブルである。

【図9】LSIを階層別に分割し、故障ブロックを絞り込む方式を示す説明図である。

【図10】論理シミュレーションによる故障トランジスタの抽出の説明図である。(a)は2入力NANDの回路図である。(b)は2入力NAND回路の入力論理の全組み合わせに注目した真理値表とIddq値との相関表である。

【図11】組み合わせ回路における故障箇所を絞り込む方法を示す説明図である。(a)は真理値表とIddq値との相関表である。(b)は(a)のIddq異常箇所の拡大表である。(c)は故障素子絞り込みの模式図である。

【図12】従来例の故障辞書作成による故障シミュレーション方法の流れブロック図である。

【符号の説明】

11、21、51、91 LSI

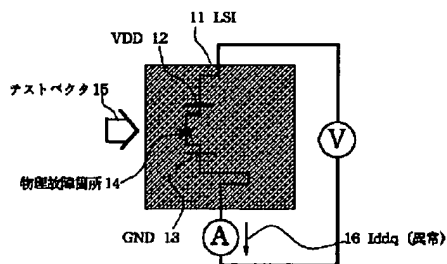
19

12 Vdd
 13 GND
 14 物理故障箇所
 15、25 テストベクタ
 16 Iddq (異常)
 22 入力端子
 23 出力端子
 26 出力
 27 ブロックB1
 28 ブロックB2
 29 ブロックBn
 31 Iddqのしきい値
 32 Iddq (正常)
 33 Iddq (異常)
 41 テストベクタ (TV)
 42 LSIへの印加
 43 Iddq値の測定
 44 Iddq値異常のTV番号の抽出
 45 回路接続情報
 46 論理シミュレーション
 47 内部回路ノード抽出のダンプ処理
 48 TVごとの各ブロックの入力論理の抽出
 49 演算処理

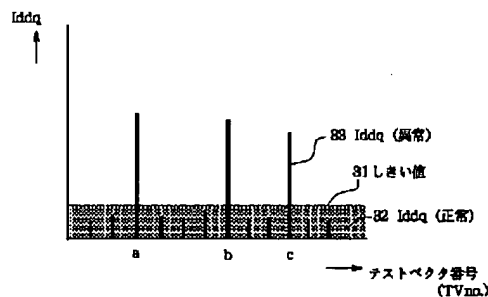
20

50 故障ブロックの抽出
 52 ブロックB1
 53 ブロックB2
 54 ブロックB3
 55 ブロックBn
 56 テストベクタ
 57 Iddq (異常)
 58 ダンプリスト
 59 Iddq異常箇所
 10 92 順序回路
 93、94、95 組合わせ回路
 96 ブロック (b1)
 97 ブロック (b2)
 98 ブロック (b3)
 99 基本ブロック
 111、112 テストベクタの変化
 113 絞り込んだ故障素子
 121 テストベクタ
 122 故障定義
 20 123、124 LSIの論理接続
 125、126 論理シミュレーション
 127 比較

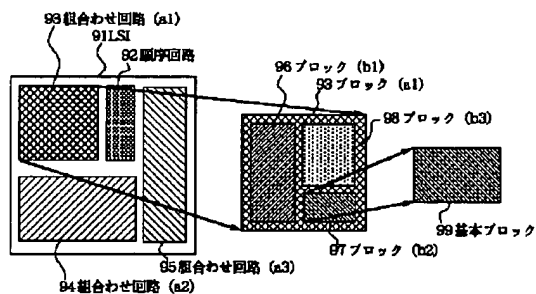
【図1】



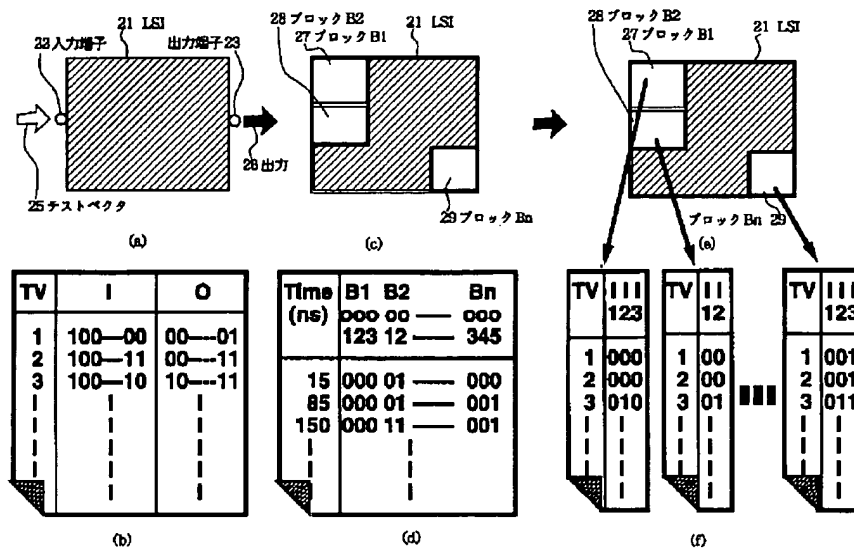
【図3】



【図9】



【図2】



【図4】

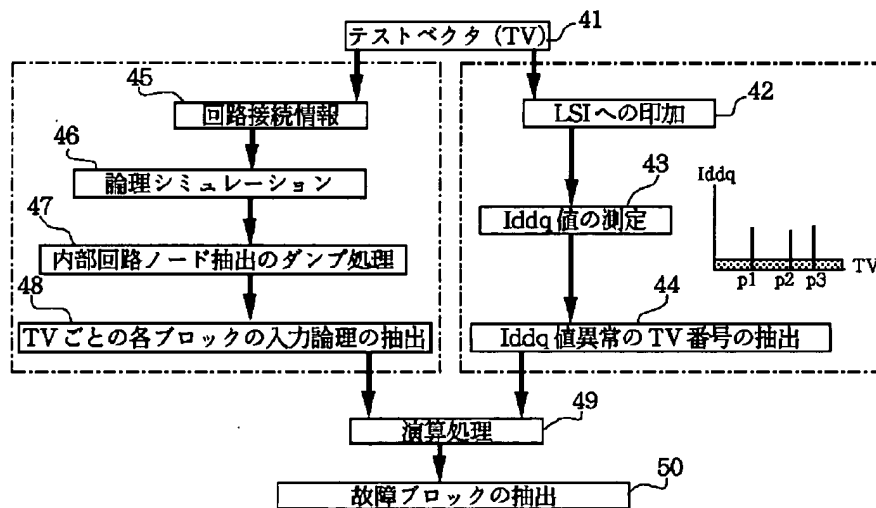
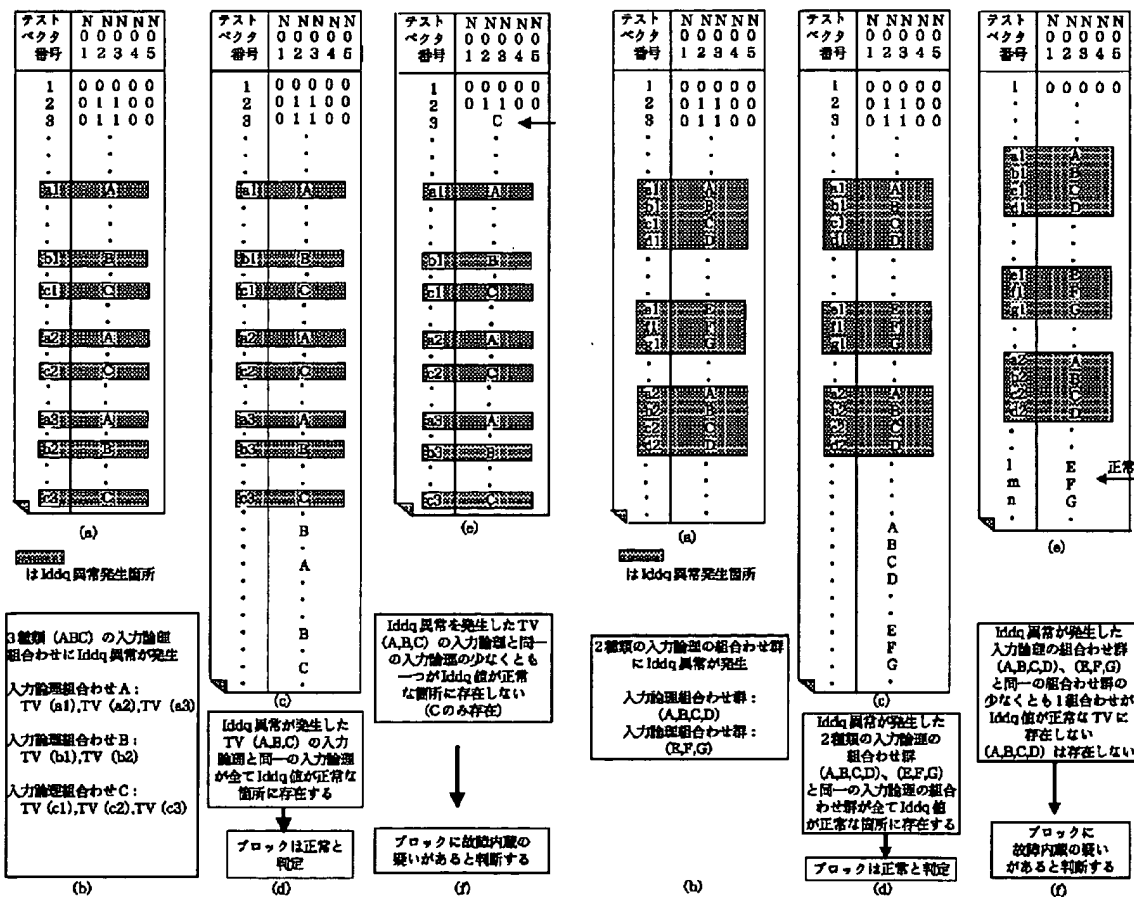
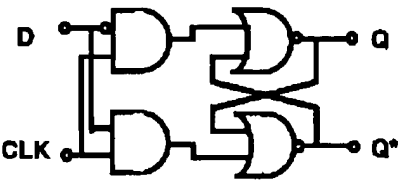


Figure 1 consists of three parts: (a), (b), and (c). Part (a) shows a central LSI block (61) connected to multiple blocks (B1, B2, B3, ..., Bn) and a test vector (66). Part (b) shows a TV block (TV) connected to a bus (a, b, c) and a test vector (67). Part (c) shows a TV block (TV) connected to a bus (a, b, c) and a test vector (67).

【図7】



【図8】

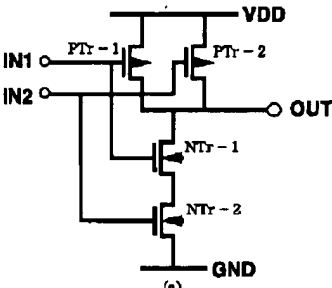


(a)

| TVno. | D | CLK | Q | Q* |
|-------|---|-----|---|----|
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 | 1 |
| 3 | 0 | 0 | 0 | 1 |
| 4 | 0 | 1 | 0 | 1 |
| 5 | 0 | 0 | 0 | 1 |
| 6 | 1 | 0 | 1 | 0 |
| 7 | 1 | 0 | 1 | 0 |
| 8 | 0 | 1 | 0 | 1 |
| 9 | 0 | 0 | 0 | 1 |
| 10 | 1 | 1 | 1 | 0 |
| 11 | 1 | 0 | 1 | 0 |
| 12 | 1 | 1 | 1 | 0 |
| 13 | 1 | 0 | 1 | 0 |

(b)

【図10】



(a)

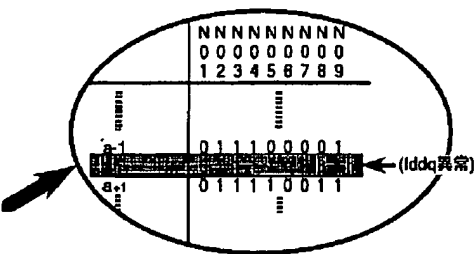
| TVno. | IN1 | IN2 | OUT |
|-------|-----|-----|-----|
| 1 | H | H | L |
| 2 | H | L | H |
| 3 | L | H | H |
| 4 | L | L | H |

(b)

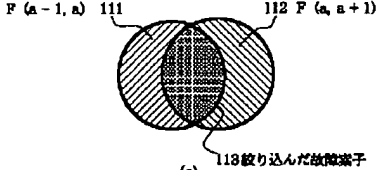
【図11】

| テストベクタ 番号 | NNNNNNNNNN 000000000 123456789 |
|--------------|--------------------------------------|
| 1 | 000001000 |
| 2 | 011001000 |
| 3 | 011001001 |
| 4 | 011001001 |
| 5 | 011001001 |
| 6 | 011001001 |
| 7 | 011001001 |
| 8 | 011001001 |
| 9 | 011001001 |
| 10 | 011001001 |
| 11 | 011001001 |
| 12 | 011001001 |
| 13 | 011001001 |

(a)



(b)



(c)

【図12】

